

ANÁLISIS DE LOS PARÁMETROS TEMPORALES DE CIRCUITOS SECUENCIALES MEDIANTE SPICE

I. Urriza, L. A. Barragán y J. I. Artigas
Área de Tecnología Electrónica
Dpto. Ingeniería Eléctrica, Electrónica y Comunicaciones
María de Luna 3, 50015 ZARAGOZA. Tel. 76 761974. Fax. 76 762111
Universidad de Zaragoza
urriza@posta.unizar.es

RESUMEN.- En este trabajo se realiza un análisis analógico mediante Spice, de un circuito secuencial sencillo (latch tipo D). De esta forma se ponen de manifiesto los aspectos temporales que afectan a las señales de datos y de control de dicho circuito digital. El alumno, a través de la representación gráfica de las formas de onda en los distintos nodos del circuito, puede llegar a entender el origen de la existencia de una anchura de pulso mínima en la señal de habilitación C o la existencia de un tiempo de setup. Así mismo, queda de manifiesto el problema de la metaestabilidad.

1.- INTRODUCCIÓN

El presente trabajo tiene como objetivo estudiar los parámetros temporales que afectan al funcionamiento de un *latch*: tiempos de *setup* (o anticipación), de *hold* (o mantenimiento) y anchuras de pulso [1], [2].

Va destinado a formar parte de las prácticas de laboratorio de un curso de introducción a la microelectrónica que se integra en el primer ciclo del currículum de ingeniería de telecomunicación.

Es muy interesante este estudio, no solo para comprender los factores que afectan al diseño microelectrónico de los *latch*, sino también para entender la problemática de su utilización en circuitos secuenciales.

Se pretende, analizando un circuito sencillo, entender el origen de estos parámetros y la influencia que tienen en el comportamiento del *latch*. Para ello utilizaremos el simulador eléctrico SPICE con los modelos que corresponden a la tecnología ES2 de 1 μ m [3]. Mediante simulaciones se obtendrán los valores mínimos que deben tener los parámetros temporales y se repetirán las simulaciones para las mismas condiciones (MIN, TYP, MAX) que utiliza el fabricante de la tecnología en sus celdas estándar.

La distribución del trabajo es la siguiente: En el apartado 2 se describe el circuito y su funcionamiento. En el apartado 3 se analiza la influencia, en el funcionamiento digital del circuito, de la temperatura y de la tensión de alimentación. En los apartados 4 y 5 se muestra el efecto de las anchuras de pulso mínimas y el tiempo de *setup*. Por último se presentan las conclusiones.

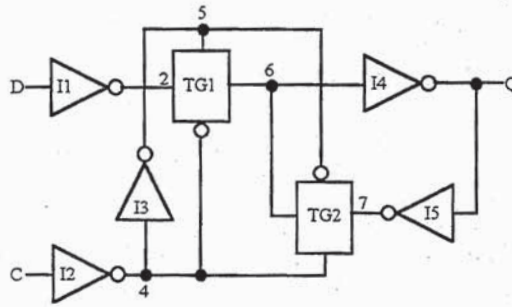


Figura 1: Esquema del circuito.

2.- DESCRIPCIÓN Y FUNCIONAMIENTO

Se analiza un latch tipo D implementado en tecnología CMOS con puertas de transmisión e inversores. Se pretende simular un *latch* lo más "real" posible. El esquema del circuito simulado (Figura 1) es exactamente igual que el de los *latch* integrados en la pastilla 74HC75 [4].

La descripción funcional es como sigue, la información presente en la entrada de datos (D) se transfiere a la salida (Q) cuando la entrada de habilitación (C) se encuentra en alto (H) y mientras C se encuentra a este valor, Q sigue a D. Cuando C conmuta al nivel bajo (L), se mantiene en Q el valor que tenía D previo a la transición en C.

```
*CMOS latch D switching transients
*Descripcion de los elementos
XINV1 D 2 10 INVMOD
XINV2 C 4 10 INVMOD
XINV3 4 5 10 INVMOD
XINV4 6 Q 10 INVMOD
XINV5 Q 7 10 INVMOD
XTG1 2 6 5 4 10 TGMOD
XTG2 7 6 4 5 10 TGMOD

.MODEL MNMOD NMOS LEVEL=3 VTO=0.82
+KP=112.000E-6 LD =-0.100U THETA=0.400
+GAMMA=0.400 PHI=0.700 LAMBDA=0.010
+VMAX=130.00K
.MODEL MPMOD PMOS LEVEL=3 VTO=-1.20
+KP=39.000E-6 LD =-0.100U THETA=0.400
+GAMMA=0.400 PHI=0.700 LAMBDA=0.010
+VMAX=100.00K

.SUBCKT INVMOD A1 A2 A3
* | | |+- VDD
* | | |+- Output
* | | |+- Input
CIN A1 0 15.75fF
COUT A2 0 16.25fF
MN1 A2 A1 0 0 MNMOD L=1.0U W=3.0U
MP1 A2 A1 A3 A3 MPMOD L=1.0U W=7.5U
.ENDS INVMOD

.SUBCKT TGMOD B1 B2 B3 B4 B5
* | | | |+- VDD
* | | | |+- P Gate
* | | | |+- M Gate
* | | | |+- Output
* | | | |+- Input
CIN B1 0 18.47fF
COUT B2 0 16.25fF
CNGATE B3 0 4.50fF
CPGATE B4 0 11.25fF
MSWN B1 B3 B2 0 MNMOD L=1.0U W=3.0U

MSWP B2 B4 B1 B5 MPMOD L=1.0U W=7.5U
.ENDS TGMOD

* PARAMETROS
.TEMP 25 ; *-55, 25, 100
.PARAM PVCC=5 ; *5.5, 5, 4.3
VDD 10 0 DC {PVCC}

* INFLUENCIA DE LA TEMPERATURA Y TENSION
*VD D 0 PULSE(0 {PVCC} 0.5N 0.0N 0.0N 3N 5N)
*VC C 0 PULSE(0 {PVCC} 1.0N 0.0N 0.0N 1N 5N)

* INFLUENCIA DE LA ANCHURA DE PULSO
*-- Pulso D corto. Funcionamiento incorrecto
*VD D 0 PULSE(0 5 1.5N 0.0N 0.0N 0.8N 5N)
*VC C 0 PULSE(0 5 1.0N 0.0N 0.0N 2.0N 5N)
*-- Pulso C corto. Funcionamiento incorrecto
*VD D 0 DC 5
*VC C 0 PULSE(0 5 1.5N 0.0N 0.0N 0.7N 5N)
*-- Metaestabilidad
*VD D 0 DC 5
*VC C 0 PULSE(0 5 0.5N 0.0N 0.0N 0.7154N 5N)

* TIEMPO DE SETUP
*-- Funcionamiento correcto
*VD D 0 PULSE(0 5 1.5N 0.0N 0.0N 5.0N 5N)
*VC C 0 PULSE(0 5 0.5N 0.0N 0.0N 1.5N 5N)
*-- Funcionamiento incorrecto
*VD D 0 PULSE(0 5 1.8N 0.0N 0.0N 5.0N 5N)
*VC C 0 PULSE(0 5 0.5N 0.0N 0.0N 1.5N 5N)
*-- Metaestabilidad
*VD D 0 PULSE(0 5 1.6923N 0.0N 0.0N 5.0N 5N)
*VC C 0 PULSE(0 5 0.5N 0.0N 0.0N 1.5N 5N)

.IC V(Q) = 0 ; Inicialmente biestable a '0'

* ANALISIS
.TRAN 0.005NS 5NS
.PROBE
.END
```

Figura 2: Listado Spice.

Cuando $C=H$ la puerta de transmisión TG1 conduce y el valor presente en D se comunica a la salida Q, a través de una doble inversión I1 e I4. Cuando $C=L$, TG1 está bloqueada y la entrada D queda aislada y el valor de Q se conserva gracias a la realimentación que permite la puerta de transmisión TG2 al conducir.

En el listado Spice (Figura 2) se han definido como subcircuitos un inversor y una puerta de transmisión para simplificar la descripción del circuito. Los parámetros de los transistores NMOS y PMOS son los de la tecnología ES2 de 1μ . Las capacidades parásitas se han calculado a partir del *layout*. El circuito se puede simular en una versión PSpice de evaluación [5].

3.- INFLUENCIA DE LA TEMPERATURA Y TENSIÓN

Partiendo de unos pulsos en C y en D que provocan la conmutación de Q de L a H, se analiza la influencia de la temperatura y de la tensión de alimentación en el comportamiento y en el tiempo de propagación del biestable.

Se hacen simulaciones en tres condiciones:

- Condiciones mínimas: TEMP = -55°C y VDD = 5.5V.
- Condiciones típicas: TEMP = 25°C y VDD = 5V.
- Condiciones máximas: TEMP = 100°C y VDD = 4.3V.

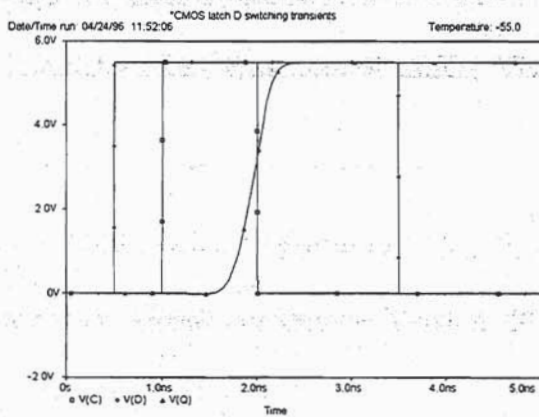


Figura 3.1: Simulación en condiciones mínimas.

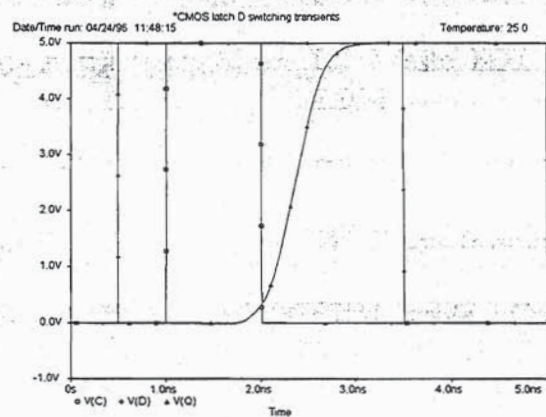


Figura 3.2: Simulación en condiciones típicas.

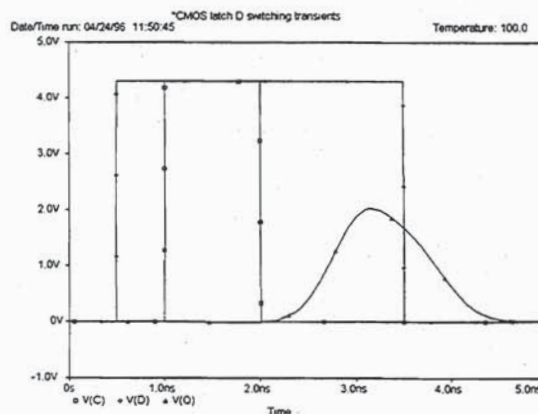


Figura 3.3: Simulación en condiciones máximas.

Se ha elegido un caso crítico para el cual, el biestable funciona correctamente en condiciones típicas (Figura 3.2), pero deja de funcionar en condiciones máximas (Figura 3.3). Se observa como en condiciones mínimas (Figura 3.1) el tiempo de propagación del biestable disminuye. En caso de funcionamiento correcto, se han medido los tiempos de propagación t_{PLH} y t_{PHL} de C a Q y de D a Q. En la Tabla I se muestran los resultados, donde se aprecia su variación con las condiciones de simulación.

Parámetro	Entrada	Salida	MIN	TIP	MAX
t_{PHL}	D	Q	0.72	1.00	1.38
t_{PLH}			0.71	1.03	1.51
t_{PHL}	C	Q	0.86	1.21	1.67
t_{PLH}			0.97	1.38	1.92

Tabla I: Tiempo de propagación en ns.

4.- ANCHURA DE PULSO

En este apartado se analiza en condiciones típicas la influencia en el funcionamiento del biestable de las anchuras de los pulsos en las entradas D y C. Se han representado cuatro situaciones:

- Funcionamiento normal (Figura 4.1)
- Pulso en D demasiado corto (Figura 4.2)
- Pulso en C demasiado corto (Figura 4.3)
- Metaestabilidad (Figura 4.4).

Cuando el pulso en D o en C es demasiado corto, el biestable no cambia de estado. Las tensiones en los nodos no tienen tiempo para adecuarse a las correspondientes al estado $Q = H$, debido a los retrasos en los dispositivos.

Mención especial requiere el caso de metaestabilidad: la salida Q se mantiene un tiempo considerable, superior a la anchura del pulso, en un estado intermedio entre L y H, al final conmuta al estado "correcto" pero el tiempo de conmutación ha aumentado considerablemente.

A partir de estos resultados, el alumno comprueba la existencia de una anchura de pulso mínima para el correcto funcionamiento del *latch*.

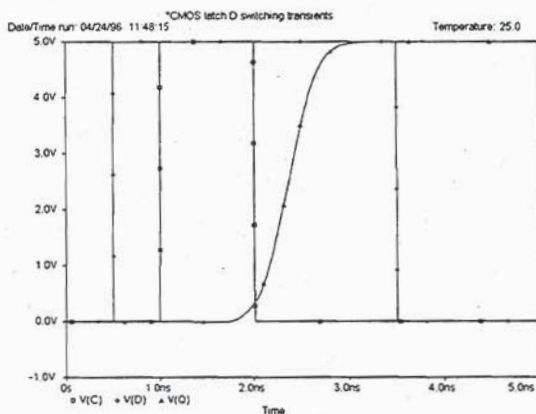


Figura 4.1: Funcionamiento correcto.

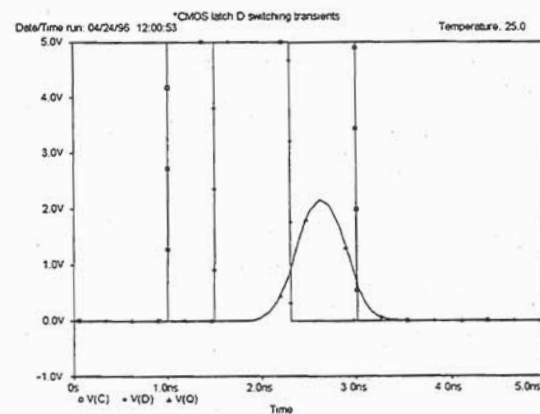


Figura 4.2: Pulso D demasiado corto.

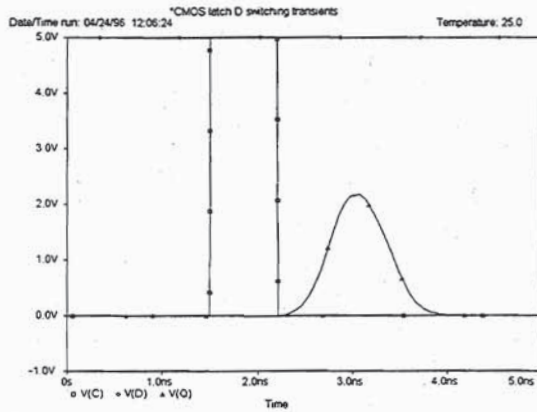


Figura 4.3: Pulso C demasiado corto.

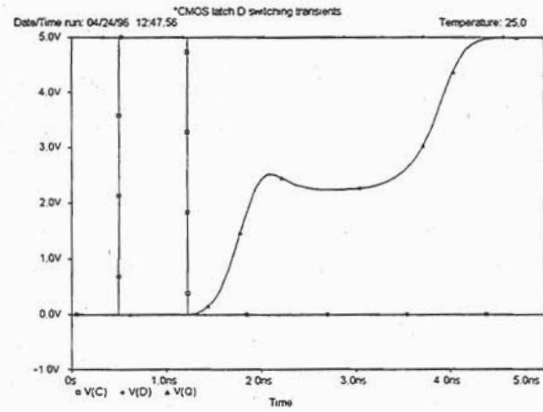


Figura 4.4: Metaestabilidad.

5.- TIEMPO DE SETUP

En este apartado se analiza, en condiciones típicas, la necesidad de satisfacer el tiempo de *setup* para un correcto funcionamiento del biestable. Se han representado tres situaciones. En el primer caso, el cambio en la señal D ocurre con la suficiente antelación respecto al flanco de bajada de C y el biestable conmuta (Figura 5.1).

Sin embargo, cuando esta condición no se cumple, no se puede asegurar la conmutación correcta del biestable. En la Figura 5.2 se muestra el caso en que el biestable no conmuta. Por último, en la Figura 5.3 se muestra el caso en que el biestable entra en un estado metaestable y luego conmuta al estado alto.

6.- CONCLUSIONES

El alumno, a través de la representación gráfica con PROBE [5] de las formas de onda en los distintos nodos del circuito obtenidas mediante simulación, puede llegar a entender el origen de la existencia de una anchura de pulso mínima en la señal de habilitación C o de datos D y la existencia de un tiempo de *setup*. También se muestra la posibilidad de metaestabilidad.

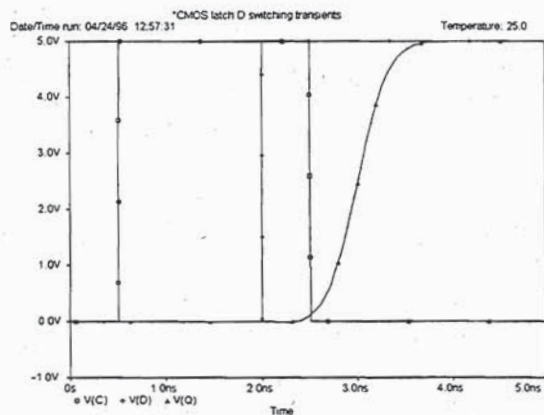


Figura 5.1: Se cumple el tiempo de *setup* y el biestable conmuta

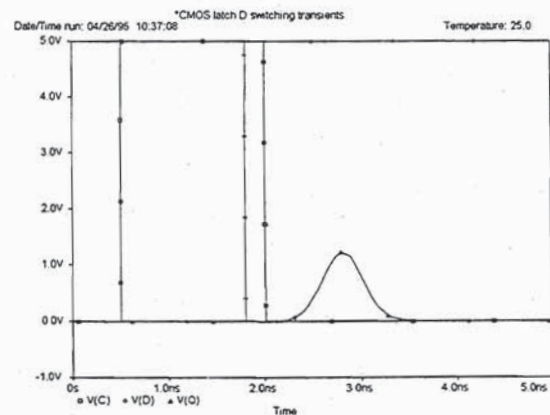


Figura 5.2: No se cumple el tiempo de *setup* y el biestable no conmuta.

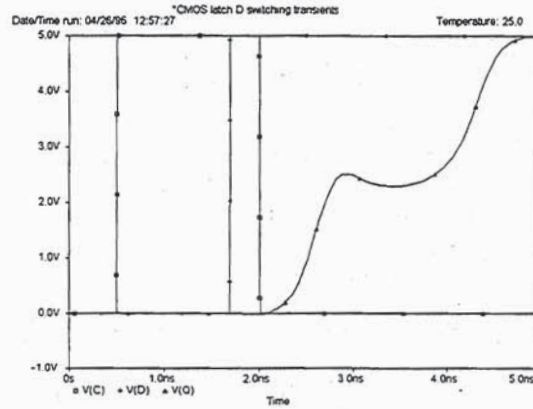


Figura 5.3: No se cumple el tiempo de *setup*, el biestable pasa a estado metaestable y posteriormente conmuta a H.

7.- BIBLIOGRAFÍA

- [1] Wakerly, J.F. "Digital Design: Principles and Practices". De. Prentice-Hall, 1.990.
- [2] Weste, N.H. y Eshraghian, K. "Principles of CMOS VLSI Design". Ed. Addison-Wesley, 1.994.
- [3] European Silicon Structures. "ES2 ECPD10 Library Databook". 1.993.
- [4] Texas Instruments. "High-Speed CMOS Logic Data Book". 1.991.
- [5] MicroSim Corporation. "Manual de PSpice: Versión 5.0". 1.991.